

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-070419

(43)Date of publication of application : 10.03.1998

(51)Int.Cl.

H03F 1/22

(21)Application number : 08-228004

(71)Applicant : NEC CORP

(22)Date of filing : 29.08.1996

(72)Inventor : HOSHINO KOICHI

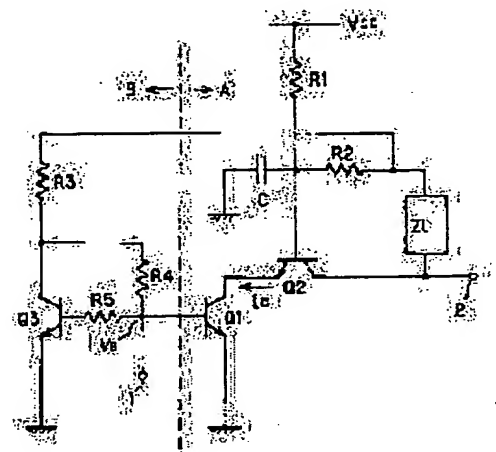
## (54) AMPLIFIER CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable stable operation with low power consumption while utilizing the effects of negative feedback and base compensating resistance of a current mirror by loading the negative feedback from a cascode connected amplifier circuit to the bias circuit of a current mirror circuit for supplying a bias current to the cascode connected amplifier circuit.

**SOLUTION:** This circuit has a transistor Q1 the emitter of which is grounded, transistor Q2 the emitter of which is connected to the collector of this transistor Q1 and the collector of which is connected through a load Z1 and bias resistance circuit networks R1 and R2 to a power source, and transistor Q3 which consists of the current mirror circuit together with the transistor Q1 and receives the supply of the bias current through bias resistance circuit networks R3-R5.

Then, the power source side terminals of the bias resistance circuit networks R3-R5 are connected to the nodes with the load and the bias resistance circuit networks R1 and R2 so that the negative feedback can be loaded from a cascode connected amplifier circuit part A to a current mirror type bias circuit part B.



## LEGAL STATUS

[Date of request for examination] 29.08.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2853763

[Date of registration] 20.11.1998

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-70419

(43) 公開日 平成10年(1998) 3月10日

(51) Int. Cl.<sup>6</sup>

H 0 3 F 1/22

識別記号

庁内整理番号

F I

H 0 3 F 1/22

技術表示箇所

審査請求 有 請求項の数 5 O L (全 4 頁)

(21) 出願番号 特願平8-228004

(22) 出願日 平成 8 年 (1996) 8 月 29 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 星野 耕一

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

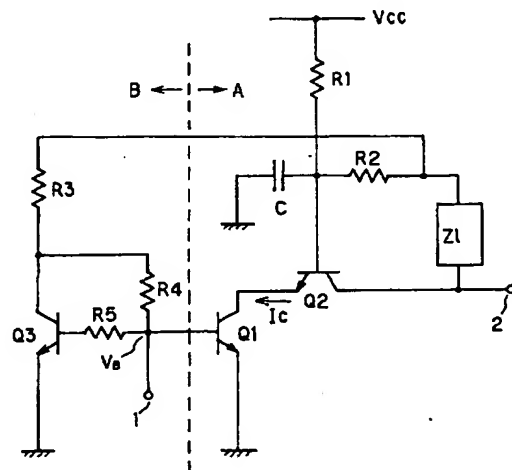
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 増幅回路

(57) 【要約】

【目的】 プロセスのばらつきにより  $h_{fe}$  がばらつくことがあっても消費電流を増加させることなく安定に動作させることができるようにする。

【構成】 Q1 のコレクタと Q2 のエミッタが接続され、Q1 のエミッタは接地され、Q2 のコレクタは負荷 Z1、帰還抵抗 R2 を介して Q2 のベースに接続されている。Q2 のベースは抵抗 R1 を介し電源 Vcc に接続されるとともにコンデンサ C を介して接地される。Q1 とカレントミラー回路を構成する Q3 のエミッタは接地されベースは抵抗 R5 を介し Q1 のベースに接続される。Q3 のコレクタは、抵抗 R3 を介して帰還抵抗 R2 と負荷 Z1 との接続点に接続されるとともに抵抗 R4 を介してトランジスタ Q1 のベースに接続されている。



## 【特許請求の範囲】

【請求項1】 エミッタが接地された第1のトランジスタと、前記第1のトランジスタのコレクタにエミッタが接続され、コレクタが負荷および第1のバイアス抵抗回路網を介して電源に接続された第2のトランジスタと、前記第1のトランジスタとカレントミラー回路を構成し、第2のバイアス抵抗回路網を介してバイアス電流の供給を受ける第3のトランジスタと、を有する増幅回路であって、前記第2のバイアス抵抗回路網の電源側の端子は前記負荷と前記第1のバイアス抵抗回路網との接続点に接続されていることを特徴とする増幅回路。

【請求項2】 前記第1のバイアス抵抗回路網は、第2のトランジスタのベースと電源との間に接続された第1の抵抗と、前記第2のトランジスタのベースと前記負荷との間に接続された第2の抵抗と、によって構成されていることを特徴とする請求項1記載の増幅回路。

【請求項3】 前記第2のバイアス抵抗回路網は、第2の抵抗と負荷との接続点と前記第3のトランジスタのコレクタとの間に接続された第3の抵抗と、前記第3のトランジスタのコレクタと前記第1のトランジスタのベースとの間に接続された第4の抵抗と、前記第3のトランジスタのベースと前記第1のトランジスタのベースとの間に接続された第5の抵抗と、により構成されていることを特徴とする請求項2記載の増幅回路。

【請求項4】 前記第1のトランジスタのサイズ $S_1$ と前記第3のトランジスタのサイズ $S_2$ との比 $S_1/S_2$ は1より十分大きいことを特徴とする請求項1記載の増幅回路。

【請求項5】 前記第2のトランジスタのベースは、コンデンサを介して接地されていることを特徴とする請求項1記載の増幅回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は増幅回路に関し、特にカスコード接続されたバイポーラトランジスタを含む増幅回路に関するものである。

## 【0002】

【従来の技術】 高周波で広帯域での増幅を必要とする用途、例えば移動通信における移動体のRF受信回路などにはカスコード接続されたトランジスタを用いた増幅回路がよく用いられる。図2は、代表的なカスコード接続増幅回路の回路図であって、負帰還型と呼ばれるものである（以下、この回路を第1の従来例という）。図2に示されるように、ベースが入力端子1に接続され、エミッタが接地されたトランジスタQ1のコレクタには、トランジスタQ2のエミッタが接続されている。トランジスタQ2のコレクタは、出力端子2に接続されるとともに負荷Z1、抵抗R12およびR11を介して電源Vccに接続されている。トランジスタQ2のベースは、抵抗R11と抵抗R12との接続点に接続されるとともに

コンデンサCを介して接地されている。また、トランジスタQ1のベースは帰還抵抗R13を介して負荷Z1と抵抗R12との接続点に接続されている。この回路では、抵抗R13を介してQ1のベースに負帰還がかかり、回路動作の安定化が図られている。

【0003】 図3は、カレントミラー型と呼ばれる従来のカスコード接続増幅回路の回路図であって（以下、この回路を第2の従来例という）、この従来例ではカレントミラー回路を用いてバイアス電流の安定化を図っている。第3図に示されるように、ベースが入力端子1に接続され、エミッタが接地されたトランジスタQ1のコレクタには、トランジスタQ2のエミッタが接続されている。トランジスタQ2のコレクタは、出力端子2に接続されるとともに負荷Z1を介して電源Vccに接続されている。トランジスタQ2のベースは、抵抗R21を介して電源Vccに接続されるとともにコンデンサCを介して接地されている。

【0004】 トランジスタQ1とカレントミラー回路を構成するトランジスタQ3のエミッタは接地され、コレクタは抵抗R22を介して電源Vccに接続されている。トランジスタQ3のコレクタベース間は抵抗R23とR24を介して接続され、抵抗R23と抵抗R24との接続点はトランジスタQ1のベースに接続されている。この回路では、バイアス抵抗R22～R24によりカレントミラー回路を流れる電流、すなわちトランジスタQ1のコレクタ電流Icを安定化させている。そして、カレントミラー回路を用いて増幅回路のバイアス電流を供給するようにし図2のような帰還を用いないようにしたことにより、図2の回路より低電圧での駆動が可能になっている。

## 【0005】

【発明が解決しようとする課題】 移動通信の移動体などにおいて用いられる回路では、駆動電圧が1V程度とはば限界に近い程度にまで低電圧化、低電流化することが要求されるようになってきているが、上述した従来例では、低電圧駆動化、低消費電力化を実施した場合には、安定した動作ができなくなるという欠点があった。例えば製造プロセスのバラツキなどによりトランジスタの $h_{fe}$ にバラツキが生じると低電圧化、低電流化により回路を流れるコレクタ電流Icのバラツキが大きくなる。図2に示した第1の従来例回路では、回路動作をより安定化させるにはQ1のベースへの帰還量を増大させるために、コレクタ電流Icを増大させたり、抵抗R11、抵抗R12の抵抗値を大きくすることが必要となるが、抵抗R11、R12を高抵抗化した場合には電源電圧を高くしなければならず、いずれにしても低電流化、低電圧化の要求に反することになる。

【0006】 図3に示した第2の従来例の回路では、バイアス抵抗R22～R24を用いてトランジスタQ3、Q1からなるカレントミラー回路の動作安定化を図って

いるが、例えば $h_{fe}$ の変動に対し回路を安定に動作させるには、トランジスタQ3には一定以上の電流を流す必要がある。しかし、回路の増幅動作に直接寄与するトランジスタではないトランジスタQ3の電流を増加させることは消費電流の増大を招くことになり望ましくない。  
【0007】よって、本発明の解決すべき課題は、トランジスタの $h_{fe}$ などのプロセス変動に対して安定度の高い、低電圧動作、低消費電流の増幅回路を提供できるようにすることである。

【0008】

【課題を解決するための手段】上述した本発明の課題は、カスコード接続の増幅回路のバイアス電流をカレントミラー回路により供給するように構成し、このカレントミラー回路にカスコード接続増幅回路より帰還をかけることにより、解決することができる。

【0009】

【発明の実施の形態】本発明による増幅回路は、エミッタが接地された第1のトランジスタ(Q1)と、前記第1のトランジスタのコレクタにエミッタが接続され、コレクタが負荷(Z1)および第1のバイアス抵抗回路網(R1、R2)を介して電源に接続された第2のトランジスタ(Q2)と、前記第1のトランジスタとカレントミラー回路を構成し、第2のバイアス抵抗回路網(R3、R4、R5)を介してバイアス電流の供給を受ける第3のトランジスタ(Q3)と、を有するものであって、前記第2のバイアス抵抗回路網の電源側の端子は前記負荷と前記第1のバイアス抵抗回路網との接続点に接続されていることを特徴としている。

【0010】

\*

$$\begin{aligned} V_{be} &= V_{cc} - (R1 + R2) I_c - R3 \cdot I_c / N \\ &= V_{cc} - (R1 + R2 + R3 / N) I_c \end{aligned} \quad \dots (1)$$

よって、回路電流(コレクタ電流)が増加すれば $V_{be}$ は小さくなり、回路電流を下げる作用が働く。逆に、回路電流が低下すれば $V_{be}$ が大きくなり、回路電流を上昇させる作用が働く。

【0013】次に、カレントミラー部の作用について説明する。いま、製造プロセスのバラツキにより $h_{fe}$ が小さく形成されたものとする、トランジスタQ3のコレクタ電流が低下しベース電流が増大する。Q3のベース電流が増大すると抵抗R5による電圧降下によりトランジスタQ1のベース電位 $V_{be}$ が上昇して $I_c$ を増加させ $h_{fe}$ の低下を補償する。 $h_{fe}$ が大きく形成された場合には、逆にQ1のベース電位 $V_{be}$ が低下して $I_c$ を減少させる。この回路では、Q3のバイアス回路(R3~R5)を負荷Z1とR2との接続点に接続したことにより帰還がかかり、Q3に大電流を流さなくても安定した動作が可能になる。

【0014】

\*【実施例】次に、本発明の実施例について図面を参照して詳細に説明する。図1は、本発明による増幅回路の一実施例を示す回路図である。図1に示す増幅回路は、カスコード接続増幅回路部Aとカレントミラーバイアス回路部Bにより構成されている。カスコード接続増幅回路部Aでは、ベースが入力端子1に接続されたトランジスタQ1のコレクタにコレクタが出力端子2に接続されたトランジスタQ2のエミッタが接続されている。トランジスタQ1のエミッタは接地され、トランジスタQ2のコレクタは負荷Z1、帰還抵抗R2を介してQ2のベースに接続されている。また、Q2のベースは抵抗R1を介し電源 $V_{cc}$ に接続されるとともにコンデンサCを介して接地されている。

【0011】カレントミラー型バイアス回路部Bは、トランジスタQ3と抵抗R3、R4、R5から成り、Q3のエミッタは接地されベースは抵抗R5を介しカスコード接続増幅回路部AのQ1のベースに接続されている。トランジスタQ3のコレクタは、抵抗R3を介して帰還抵抗R2と負荷Z1との接続点に接続されるとともに抵抗R4を介してトランジスタQ1のベースに接続されている。

【0012】次に、本発明の実施例の動作について説明する。まずDC帰還について説明する。図1の増幅回路の回路電流は、Q1のベース電位で決まる。Q1のベース電位を $V_{be}$ 、Q1のコレクタ電流を $I_c$ 、トランジスタのサイズを $Q1:Q3=N:1$ とすると、ベース電流がコレクタ電流に比較して無視でき、 $N \gg 1$ であるものとする、近似的に(1)式で表される。

【発明の効果】以上説明したように、本発明による増幅回路は、カスコード接続増幅回路にバイアス電流を供給するカレントミラー回路のバイアス回路にカスコード接続増幅回路から負帰還がかかるようにしたものであるもので、負帰還とカレントミラーのベース補償抵抗の2つの効果を合わせ利用することができ、低駆動電圧、低消費電流で安定した動作を行う増幅回路を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図。

【図2】負帰還型と呼ばれる従来例の回路図。

【図3】カレントミラー型と呼ばれる従来例の回路図。

【符号の説明】

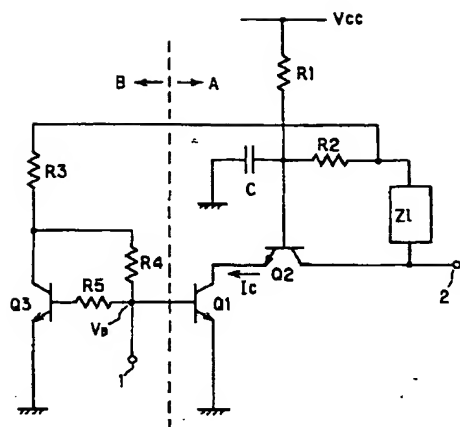
1 入力端子

2 出力端子

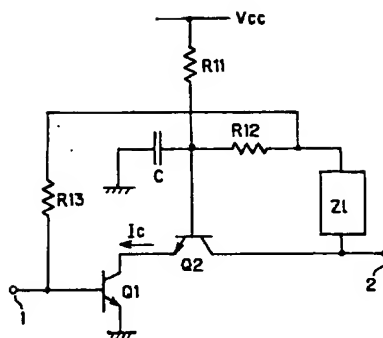
A カスコード接続増幅回路部

B カレントミラー型バイアス回路部

【図1】



【図2】



【図3】

